

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-064844

(43)Date of publication of application : 05.03.1990

(51)Int.Cl.

G06F 15/16

(21)Application number : 63-215242

(71)Applicant : NEC CORP  
NEC DATA TERMINAL LTD

(22)Date of filing : 31.08.1988

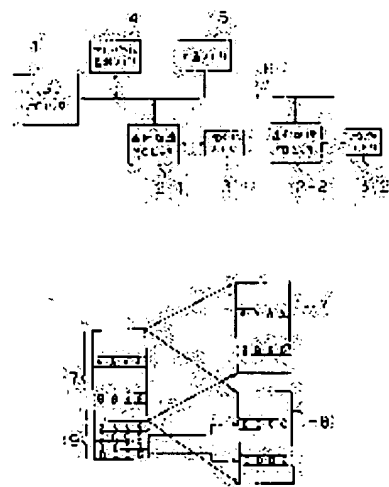
(72)Inventor : ISHII KENICHI  
MASUNAGA HIROYUKI

## (54) INFORMATION PROCESSOR

### (57)Abstract:

**PURPOSE:** To reduce the capacity of a program accumulation memory by storing the common part of respective programs and a different part of respective programs in the program accumulation memory.

**CONSTITUTION:** The program 7 of a parallel processing processor 2-1 and different information 9 are stored in the program accumulation memory 4, and different information 9 shows the different part of a program 8 in a parallel processor 2-2 with respect to the program 7. For writing the program 8 in a program memory 3-2, a master processor 1 writes the part of the program 7 accumulated in the program accumulation memory 4, and executes writing by rewriting a content with respect to the different part based on different information 9. Thus, the capacity of the program accumulation memory can be reduced since the programs executed by the respective parallel processing processors are similar for the most part.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

**BEST AVAILABLE COPY**

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-64844

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月5日

G 06 F 15/16

3 9 0 Z

6745-5B

審査請求 未請求 請求項の数 1 (全3頁)

## ⑮ 発明の名称 情報処理装置

⑯ 特 願 昭63-215242

⑰ 出 願 昭63(1988)8月31日

⑱ 発 明 者 石 井 憲 一 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑱ 発 明 者 増 永 廣 幸 東京都調布市上石原3丁目49番地1号 日本電気データ機器株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑲ 出 願 人 日本電気データ機器株式会社 東京都調布市上石原3丁目49番地1号  
⑳ 代 理 人 弁理士 山内 梅雄

## 明 細 書

## 1. 発明の名称

情報処理装置

## 2. 特許請求の範囲

並列して同一処理を行う複数の並列処理プロセッサと、

各並列処理プロセッサに対応して設けられ、各並列処理プロセッサが実行するプログラムをそれぞれ格納自在な複数のプログラムメモリと、

各プログラムの共通部分および各プログラムの相違部分を蓄積するプログラム蓄積メモリと、

各並列処理プロセッサ動作時に、前記プログラムの共通部分および対応する相違部分を各プログラムメモリに書き込むことにより、各プログラムを各プログラムメモリ内に構成するマスタープロセッサ

とを具備することを特徴とする情報処理装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、複数の並列処理プロセッサにより同

一処理を並列して行う情報処理装置に係わり、特に各並列処理プロセッサが実行するプログラムを蓄積するプログラム蓄積メモリを小さくできるものに関する。

〔従来の技術〕

この種の情報処理装置では、各並列処理プロセッサの処理内容は同一であっても、I/O(入出力)アドレス、コマンドアドレス、ワークアドレスなどが並列処理プロセッサごとに異なるため、各並列処理プロセッサが必要とするプログラムは互いに相違したものとなる。

従来は、各並列処理プロセッサ専用のプログラムをプログラム蓄積メモリに蓄積しておき、マスタープロセッサの制御により、プログラム蓄積メモリからそれぞれのプログラムを読み出し、各並列処理プロセッサに対応して設けられているプログラムメモリに格納する構成をとっていた。

〔発明が解決しようとする課題〕

しかしながら従来の情報処理装置では、前記したように並列処理プロセッサごとにプログラムが

相違するため、並列処理プロセッサの個数分のプログラムをプログラム蓄積メモリに蓄積しなければならず、プログラム蓄積メモリの大容量化を招くという問題点があった。

本発明の目的は、プログラム蓄積メモリの容量が小さくて済む情報処理装置を提供することにある。

#### 〔課題を解決するための手段〕

本発明は、前記した目的を達成するため、並列して同一処理を行う複数の並列処理プロセッサと、各並列処理プロセッサに対応して設けられ、各並列処理プロセッサが実行するプログラムをそれぞれ格納自在な複数のプログラムメモリと、各プログラムの共通部分および各プログラムの相違部分を蓄積するプログラム蓄積メモリと、各並列処理プロセッサ動作時に、前記プログラムの共通部分および対応する相違部分を各プログラムメモリに書き込むことにより、各プログラムを各プログラムメモリ内に構成するマスタープロセッサとを具備する情報処理装置を提供するものである。

み自在なメモリである。プログラム蓄積メモリ4は、この情報処理装置の動作に必要なプログラムが蓄積されたメモリである。共通メモリ5は、マスタープロセッサ1と並列処理プロセッサ2-1ないし2-2との間で送受するコマンドやステータスのコミュニケーションメモリである。信号バス6は、アドレス線、データ線、制御信号線からなり、各部を接続するものである。

第2図AおよびBは、各並列処理プロセッサのプログラムを示す。並列処理プロセッサ2-1のプログラム7と、並列処理プロセッサ2-2のプログラム8とは、処理内容が同一であるため大部分が同一である。ただし、I O (入出力) アドレス、コマンドアドレス、ワークアドレスなどが並列処理プロセッサ2-1、2-2で異なるため、若干の相違個所が生ずる。ここで両プログラム7、8は、アドレスXXXXとアドレスYYYYの内容が相違しているものとする。プログラム7のアドレスXXXX、YYYYの内容をそれぞれAAAA、BBBBで示し、プログラム8のアドレス

#### 〔作用〕

本発明では、マスタープロセッサが、プログラムの共通部分と相違部分とを各プログラムメモリに書き込むことにより、各プログラムメモリ内に各プログラムを構成するものである。したがってプログラム蓄積メモリには、各プログラムの共通部分と、各プログラムの相違部分とを格納するだけで足りる。各並列処理プロセッサが実行するプログラムは大部分が同一であるので、プログラム蓄積メモリの容量を大幅に小さくすることが可能となる。

#### 〔実施例〕

以下図面を用いて、本発明の実施例を説明する。

第1図は、本発明の一実施例に係る情報処理装置のハードウェア構成を示す。マスタープロセッサ1は、この情報処理装置全体の動作を制御するものである。並列処理プロセッサ2-1、2-2は、同一機能を有するプロセッサである。プログラムメモリ3-1、3-2は、並列処理プロセッサ2-1、2-2が実行するプログラムを書き込

XXXX、YYYYの内容をそれぞれCCCC、DDDDで示す。

第3図は、プログラム蓄積メモリの内容と各並列処理プロセッサのプログラムの関係を示す。プログラム蓄積メモリ4には、プログラム7と相違情報9とが格納される。相違情報9は、予め作成された情報であり、プログラム7に対するプログラム8の相違部分を示す。たとえば、相違個所のアドレスXXXXと、その内容CCCCと、相違個所のアドレスYYYYと、その内容DDDDとからなる。

マスタープロセッサ1は、プログラムメモリ3-1にプログラム7を書き込む場合、プログラム蓄積メモリ4に蓄積されたプログラム7の部分をそのまま読み出して書き込みを行う。そしてプログラムメモリ3-2にプログラム8を書き込む場合、プログラム蓄積メモリ4に蓄積されたプログラム7の部分を書き込むと共に、相違情報9に基づいて、相違個所(アドレスXXXX、YYYY)について内容をCCCC、DDDDに書き換

える。これによりプログラム8の書き込みを行うことができる。

〔発明の効果〕

以上説明したように、本発明によれば、プログラム蓄積メモリには、各プログラムの共通部分と、各プログラムの相違部分とを格納するだけでよい。したがってプログラム蓄積メモリの容量を大幅に小さくすることができ、低廉性の向上が期待できる。

出願人

日本電気株式会社

代理人

日本電気データ機器株式会社

弁理士 山内 梅雄

- 7 …… 並列処理プロセッサ2-1のプログラム、
- 8 …… 並列処理プロセッサ2-2のプログラム、
- 9 …… 相違情報。

4. 図面の簡単な説明

第1図は本発明の一実施例に係る情報処理装置を示すブロック図、第2図AおよびBは並列処理プロセッサのプログラムを示す概念図、第3図はプログラム蓄積メモリの内容と並列処理プロセッサの関係を示す概念図である。

- 1 …… マスタプロセッサ、
- 2-1、2-2 …… 並列処理プロセッサ、
- 3-1、3-2 …… プログラムメモリ、
- 4 …… プログラム蓄積メモリ、
- 5 …… 共通メモリ、6 …… 信号バス、

